

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-54510

(43)公開日 平成11年(1999)2月26日

(51)Int.Cl.<sup>a</sup>  
H 01 L 21/3205  
21/28  
29/78

識別記号  
3 0 1

F I  
H 01 L 21/88  
21/28  
29/78

M  
3 0 1 R  
3 0 1 G

審査請求 未請求 請求項の数7 O.L (全9頁)

(21)出願番号 特願平9-209094

(22)出願日 平成9年(1997)8月4日

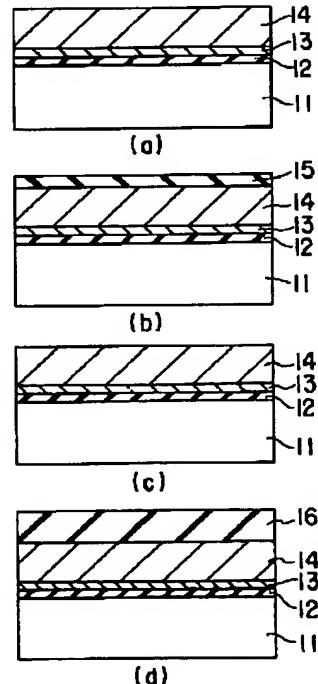
(71)出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区坂川町72番地  
(72)発明者 中嶋 一明  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72)発明者 赤坂 泰志  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72)発明者 宮野 清孝  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】600°C以上に加熱しても、電極の形状変化が起こらず信頼性の高い半導体装置を提供する。

【解決手段】先ず、単結晶シリコンからなる基板11上に薄い酸化膜12(膜厚5nm)を形成する。次いで窒化タンゲステン膜13を全面に堆積し、さらにタンゲステン膜14(膜厚100nm)を全面に堆積する。次いで、タンゲステン膜の堆積後、反応容器から大気中に取り出すと、タンゲステン膜14と大気中の酸素とが反応し、タンゲステン膜14上にタンゲステン酸化物層15が形成される。次いで、例えば20%に希釈した硫化水素酸水溶液に浸すことにより、選択的に酸化物層15を除去する。そして、タンゲステン膜14上にCVD法によりシリコン窒化膜16を700~800°Cの基板温度で堆積する。



## 【特許請求の範囲】

【請求項1】高融点金属膜を600°C以上に加熱処理する工程を含む半導体装置の製造方法において、

前記高融点金属膜表面に形成された酸化物層を除去した後、前記加熱処理を非酸化性雰囲気で行うことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上の高融点金属膜の表面に形成された酸化物層を除去する除去工程と、

前記半導体基板を600°C以上に加熱し、前記高融点金属膜上に成膜を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】前記成膜において、導電性被膜、又は絶縁性被膜が形成されることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】前記酸化物を除去する工程として、該酸化物層の水和物を形成する溶液に浸すことを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項5】前記溶液が、硫化水素酸、フッ化水素酸、塩化水素酸、アンモニア或いはコリンを含む溶液であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】前記酸化物を除去する工程は、該酸化物層と反応して水和物を形成する研磨液を用いた化学的機械研磨法によることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項7】前記研磨液が、希硫酸、希フッ酸或いは希硝酸を含む溶液であることを特徴とする請求項6記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高融点金属を用いた配線或いは電極を有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体デバイスの高集積化及び高速化に対する要求が高まりつつある。これらの要求を実現するために、素子間および素子寸法の縮小化、微細化が進められる一方、内部配線材料の低抵抗化などが検討されている。

【0003】とりわけRC遅延が顕著に現れるワード線では、低抵抗化が大きな課題となっている。そこで、最近ではワード線の低抵抗化を図るため、多結晶シリコン膜と金属シリサイド膜との2層構造からなるポリサイドゲートが広く採用されている。高融点金属シリサイド膜は、多結晶シリコン膜に比べ抵抗が約1桁低いので、低抵抗配線の材料として有望である。なお、高融点金属シリサイド膜としては、タングステンシリサイド(WSi)が最も広く使われている。

【0004】しかしながら、0.25μm以下の微細な配線に対応するためには、さらに配線の低抵抗化を図つ

て遅延時間を短縮することが求められている。ポリサイド構造を用いてシート抵抗1Ω/□以下の抵抗を有するゲート電極を実現するためには、シリサイド層の膜厚を厚くしなければならない。ゲート電極を厚くすると、加工や電極上の層間絶縁膜の形成が困難になるため、電極のアスペクト比を大きくすることなく、低いシート抵抗を達成することが要求されている。

【0005】そのためには、金属シリサイドよりも比抵抗値の低い高融点金属を直接ゲート酸化膜上に形成するメタルゲート電極の開発が必須である。しかし、高融点金属膜は非常に酸化されやすく、450°C程度の温度で酸化物となる。そのため、例えば層間絶縁膜の成膜に際し酸化性雰囲気を用いるシリコン酸化膜を高融点金属膜上に成膜すると、高融点金属膜表面或いは全てが酸化され、絶縁体となる。また、高融点金属の酸化は体積膨張を伴い、高融点金属表面の凹凸が激しくなる。シリコン酸化膜の表面は、金属膜表面の凹凸を反映し、モフォロジ荒れという形で顕在化する。従って、高融点金属膜上の層間絶縁膜は、非酸化性雰囲気で成膜が可能なシリコン窒化膜が良く用いられる。

【0006】しかしながら、層間絶縁膜の成膜以前に高融点金属膜表面に酸化物が存在する場合、非酸化性雰囲気でシリコン窒化膜の成膜を行っても、表面荒れが生じることがある。具体的には、タンクステン膜上に酸化物層が存在すると、シリコン窒化膜形成後に表面荒れが起きる。

【0007】タンクステンの酸化物は、600~700°C付近で相転移が起こり針状結晶となる。シリコン窒化膜は700~800°C程度の基板温度で成膜されるため、成膜前の加熱段階でタンクステン表面に針結晶が形成され、その上に成膜を行うことによりシリコン窒化膜の表面荒れが起きる。このような表面荒れは数μm単位の大ささで起るため、0.1μm世代のデバイスでは無視できない問題であり、高融点金属膜を用いた配線あるいは電極の実現にあたり致命的な課題と言える。

【0008】また、この問題は成膜時に限らず、600°C以上に加熱すると相転移が起こるため、成膜以外の窒素雰囲気中のアニール処理に際しても数μm単位の針状の酸化物が発生してしまう。

## 【0009】

【発明が解決しようとする課題】上記したように、高融点金属の表面に酸化物がある状態で加熱すると、該酸化物が相転移を起こし、配線或いは電極の形状が変化するという問題があった。本発明の目的は、高融点金属からなる配線或いは電極の形状変化を防ぎ、信頼性の高い半導体装置を形成し得る半導体装置の製造方法を提供することにある。

## 【0010】

## 【課題を解決するための手段】

【構成】本発明は、上記目的を達成するために以下のよ

うに構成されている。

(1) 本発明(請求項1)は、高融点金属膜を600°C以上に加熱処理する工程を含む半導体装置の製造方法において、前記高融点金属膜表面に形成された酸化物層を除去した後、前記加熱処理を非酸化性雰囲気で行うこととする特徴とする。

(2) 本発明(請求項2)の半導体装置の製造方法は、半導体基板上に高融点金属膜の表面に形成された酸化物層を除去する除去工程と、前記半導体基板を600°C以上に加熱し、前記高融点金属膜上に成膜を行う工程とを含むことを特徴とする。

【0011】本発明の好ましい実施態様を以下に示す。ポリシリコン、TiN、Al、或いはWのような導電性被膜、又はシリコン塗化膜のような絶縁性被膜が成膜される。

【0012】前記酸化物を除去する工程として、該酸化物層の水和物を形成する溶液に浸す。前記溶液が、硫化水素酸、フッ化水素酸、塩化水素酸、アンモニア或いはコリンを含む溶液である。

【0013】前記酸化物を除去する工程は、該酸化物層と反応して水和物を形成する研磨液を用いた化学的機械研磨法による。前記研磨液が、希硫酸、希フッ酸或いは希硝酸を含む溶液である。

【0014】また、前記酸化物層の除去を行った後、前記高融点金属膜上に非酸化性雰囲気をソースガスとして用いた化学気相成長法によって成膜を行う。またさらには、イオン注入を行って拡散層を形成し、前記酸化物層を除去した後、非酸化性雰囲気中で拡散層の活性化のためのアニールを行う。

【0015】[作用] 本発明は、上記構成によって以下の作用・効果を有する。高融点金属の酸化物は、600~700°Cで相転移を起こし、針状結晶となる。そこで、600°C以上に過熱する前に針状結晶を形成する酸化物を除去することによって、加熱してもシリコン塗化膜の表面荒れが起こることがない。

【0016】また、ウエットエッチング法を用いて高融点金属の酸化物を除去する際、該酸化物は直接溶液に溶けるのではないことが発明者の研究に判明した。高融点金属の酸化物は、溶液と反応し水和物が生成され、この水和物が溶けて除去される。従って、酸化物の除去には、該酸化物と反応し水和物を生成する溶液を用い、且つ該溶液の水溶液を用いることが好ましい。

【0017】また、化学的機械研磨法による前記酸化物の除去においても、該酸化物と反応し水和物を形成する研磨液を用いることによって、効率よく該酸化物を除去することができる。

【0018】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

[第1実施形態] 本実施形態では、20%に希釈した硫

化水素酸水溶液と硫化水素酸(99%)とのタンクステン酸化物の除去効果を比較結果について述べる。

【0019】タンクステン膜を90秒間程度酸素プラズマにさらすことによって、その表面に約10nmのタンクステン酸化物を形成した試料を、それぞれの溶液に浸してエッチングを行った。

【0020】図1に二つの溶液のエッチング効果を示す。図から分かるように、タンクステン表面の酸化物は、処理時間とともにエッチングされその膜厚が減少していくが、20%に希釈した硫酸の方がそのエッチング効果が大きいことが分かる。

【0021】この実験結果から、硫酸自体が酸化物除去に関わっているのではないということが導き出される。つまり、酸化物の除去は、硫酸を仲介して水溶性のタンクステン酸水和物( $WO_3 \cdot H_2O$ )が形成され、タンクステン酸水和物が水に溶けることによって行われていると考えられる。

【0022】なお、このような除去作用は、希釈した硫化水素酸水溶液に限らず、フッ化水素酸や塩化水素酸にも起こっていることが確認された。また、酸系の薬品に限らずアルカリ系の薬品でも同様な除去作用が起こっており、アンモニアやコリン(TMAH)等でも希釈することで、酸化物の除去効果が高くなることが確認された。なお、好ましい硫酸の希釈率は、10~80%の範囲である。

【0023】また、タンクステン以外の高融点金属でも同様に、溶液を希釈することでよりエッチング効果が高まることが確認された。

【第2実施形態】次いで、高融点金属膜上の酸化物を除去した後にシリコン塗化物を成膜し、該シリコン塗化膜の表面荒れを観察した。

【0024】図2は本発明の第2実施形態に係わる配線の製造工程を示す工程断面図である。先ず、図2(a)に示すように、単結晶シリコン基板11上に薄い酸化膜12(膜厚5nm)を形成する。次いで、タンクステン・ターゲット及びArとN<sub>2</sub>との混合ガスをスパッタリングガスとして用いた反応性スパッタリング法によって塗化タンクステン膜13(膜厚5nm)を全面に堆積し、さらにスパッタリング法によってタンクステン膜14(膜厚100nm)を全面に堆積する。

【0025】タンクステン膜14の堆積後、反応容器から大気中に取り出すと、タンクステン膜14と大気中の酸素とが反応し、図2(b)に示すように、タンクステン膜14上にタンクステン酸化物層15が形成される。

【0026】次いで、図2(c)に示すように、例えば20%に希釈した硫化水素酸水溶液に浸すことにより、選択的に酸化物層15を除去する。そして、図2(d)に示すように、水素のような非酸化性雰囲気中で、シリコン基板11を700~800°Cの温度に加熱し、シリコンとアンモニアガスを流し、タンクステン膜14上にC

VD法によりシリコン窒化膜16を堆積する。

【0027】シリコン窒化膜16の表面を観察した結果、表面荒れが起きておらず、均一に成膜されていることが確認された。

【第3実施形態】次に、本発明をMOS型トランジスタのゲート電極の形成に適用した例について説明する。

【0028】図3～5は本発明の第2実施形態に関わるトランジスタの製造工程を示す工程断面図である。まず、第2実施形態と同様に、P型の単結晶シリコンからなる基板11上に薄い酸化膜11（膜厚5nm），窒化タンゲステン膜13（膜厚5nm）及びタンゲステン膜14（膜厚100nm）を全面に順次堆積する。そして、反応容器から取り出し大気中にさらすと、図3(a)に示すように、表面のタンゲステン膜14と大気中の酸素と反応し、タンゲステン膜14上にタンゲステン酸化物層15が形成される。

【0029】次いで、10%に希釈した硫化水素酸水溶液に浸すことにより、酸化物層15を除去した後、図3(b)に示すように、水素のような非酸化性雰囲気中でシリコン基板11を700～800°Cの温度に加熱し、シランとアンモニアガスを流し、タンゲステン膜14上にCVD法を用いてシリコン窒化膜16（膜厚200nm）を700～800°Cの基板温度で堆積する。シリコン窒化膜16の成膜に先立ち、酸化物層を選択的に除去することによってシリコン窒化膜16は表面荒れを起こすことなく均一に成膜される。

【0030】次いで、シリコン窒化膜16上にスピンドル法により約1μmの膜厚でフォトレジストを塗布し、露光・現像処理して例えば0.15μm幅のレジストパターンを形成する。次いで、レジストパターンをマスクとし、シリコン窒化膜16をエッチングした後、レジストパターンを酸素プラズマアッティングを用いて除去する。そして、シリコン窒化膜をマスクとして、タンゲステン膜14及び窒化タンゲステン膜13をエッチングし、図3(c)に示すように、配線を形成する。

【0031】次いで、所定領域をレジストマスクで被覆した後、例えば加速エネルギー30keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ 程度でAsをイオン注入し、N<sup>-</sup>型拡散層17を形成する。そして、レジストパターンを酸素プラズマアッティングを用いて除去する。

【0032】この酸素プラズマアッティングによって、タンゲステンが酸化されるため、図4(d)に示すように、タンゲステン膜の側面にタンゲステン酸化物層18が形成される。

【0033】タンゲステン酸化物層18が形成された状態でN<sup>-</sup>型拡散層17を活性化させるためアニールを行うと、相転移を起こし針状結晶が形成される。そこで、図4(e)に示すように、タンゲステン膜表面の酸化物層15の除去と同様に、希硫酸に浸しタンゲステン膜14側面のタンゲステン酸化物層18を選択的に除去す

る。そして、窒素や水素のような非酸化性雰囲気中で950°C30秒の短時間加熱処理(RTP)を施し、N<sup>-</sup>型拡散層17を活性化させる。

【0034】次いで、水素のような非酸化性雰囲気中でシリコン基板11を700～800°Cに加熱し、シランとアンモニアガスを流し、シリコン窒化膜16を含むシリコン基板11の表面にシリコン窒化膜20を堆積した後(図4(f))、シリコン窒化膜20をエッチングすることによって、タンゲステン膜14および窒化タンゲステン膜13からなるゲート電極がシリコン窒化膜16, 20で囲まれた構造を形成する(図5(g))。

【0035】次いで、図5(h)に示すように、加速電圧60KeV、ドーズ量 $7 \times 10^{16} \text{ cm}^{-2}$ 程度でAsのイオン注入を行い、N<sup>+</sup>型拡散層21を形成する。そして最後に、アニールしてN<sup>+</sup>型領域21を活性化することによって、LDD構造のトランジスタが形成される。

【0036】次いで、水素のような非酸化性雰囲気中でシリコン基板11を700～800°Cに加熱し、シランとアンモニアガスを流し、全面にシリコン窒化膜22を堆積する。そして、タンゲステン膜14上に開口部を有するレジストパターンを形成し、シリコン窒化膜22をRIE法を用いてエッチングすることによって、タンゲステン膜14に接続するコンタクトホール23を形成する。そして、レジストパターンをプラズマアッティングによって除去する。このプラズマアッティングの際、タンゲステン膜14が酸化され、タンゲステン膜14上にタンゲステン酸化物層24が形成される(図5(i))。

【0037】次いで、希釈硫酸に浸すことによって、タンゲステン酸化物層24を除去する。そして、水素のような非酸化性雰囲気中でシリコン基板11を700～800°Cに加熱し、シランガスを流し、ポリシリコン膜25をCVD法によって全面に堆積した後、CMP法を用いてシリコン窒化膜22上のポリシリコン膜25を除去し、コンタクトホール23中にポリシリコン膜25を埋め込み形成する(図5(j))。

【0038】以上説明したように、ゲート電極表面、側面の酸化物層を除去した後、成膜、アニールを行うことによって、針状の酸化物が形成されず、ゲート電極の形状変化が起こらない。

【0039】なお、本実施形態では、N<sup>-</sup>型拡散層17を形成した直後に RTPを行って電気的に活性化させているが、イオン注入後すぐに活性化を行わず、N<sup>+</sup>型拡散層形成後に両方の拡散層を活性化させても良い。しかし、N<sup>-</sup>型拡散層17形成後、ゲート電極側壁のシリコン窒化膜を成膜する際に基板が600°C以上に加熱されるので、この場合もタンゲステン膜14側面の酸化物層18を予め除去する必要がある。

【0040】【第4実施形態】次いで、本発明を相補型MOSFET(CMOSFET)の形成に適用した例に

について説明する。

【0041】図6～10は、本発明の第4実施形態に係るCMOSFETの製造方法を示す工程断面図である。先ず、シリコン基板30表面の所定領域に、フォトリソグラフィ技術を用いてレジストパターンを形成する。そして、レジストパターンをマスクとしてシリコン基板30にB, Ga或いはInをイオン注入し、Pウェル領域31を形成する。そして、所定領域のシリコン基板30の表面にレジストパターンを形成し、該レジストパターンをマスクとしてシリコン基板30にAs, P或いはSbをイオン注入し、Nウェル領域32を形成する。その後、アニールを行い、図6(a)に示すように、基板30表面に深さ1μm程度のPウェル領域31とNウェル領域32を活性化させる。

【0042】次いで、図6(b)に示すように、シリコン基板30のPウェル領域31とNウェル領域32の境界部に膜厚600nm程度の酸化膜33を形成し、素子分離領域を形成する。

【0043】次いで、10nm程度の膜厚の保護酸化膜を、Pウェル領域31及びNウェル領域32の表面に形成する。そして、トランジスタのしきい値に合わせるためにイオン注入を行う。次いで、保護酸化膜を剥離し、図6(c)に示すように、Pウェル領域31及びNウェル領域32の表面に数10nm程度の膜厚のゲート酸化膜34を形成する。

【0044】次いで、図7(d)に示すように、全面に多結晶シリコン膜35を形成する。そして、フォトリソグラフィ法を用いてNウェル領域32上にレジストパターンを形成し、このレジストパターンをマスクとしてPウェル領域31の多結晶シリコン膜35にB, Ga又はInを注入する。同様にPウェル領域31上にレジストパターンを形成し、Nウェル領域32の多結晶シリコン35にAs, PまたはSbをイオン注入する。

【0045】次いで、図7(e)に示すように、WSi<sub>x</sub>ターゲット及びAr+N<sub>2</sub>雰囲気を用いた反応性スパッタリングを行うことにより、多結晶シリコン膜35上に膜厚1nm程度のWSi<sub>x</sub>N<sub>y</sub>膜36を堆積する。WSi<sub>x</sub>N<sub>y</sub>膜36は、Pウェル及びNウェル領域31, 32にドープされている不純物が後に形成するW膜中に拡散することを抑制する効果がある。なお、WSi<sub>x</sub>N<sub>y</sub>膜36は上記のスパッタリングによる成膜以外に、CVD法等を用いて形成する事も可能である。

【0046】次いで、WSi<sub>x</sub>N<sub>y</sub>膜36上に、Wターゲット及びAr雰囲気を用いたスパッタリング法、若しくはCVD法等により膜厚100nm程度のW膜37を形成する。タンゲステン膜37成膜後、成膜装置から取り出し大気にさらすことによって、図7(f)に示すように、タンゲステン膜37が大気中の酸素と反応し、1nm程度のタンゲステン酸化物層38が形成される。

【0047】次いで、図8(g)に示すように、化学的

機械研磨法を用いて、タンゲステン酸化物層38を選択的に除去する。ここで、化学的機械研磨で用いる研磨液(スラリー)には、タンゲステン酸化物と反応してタンゲステン酸水和物(WO<sub>3</sub>·H<sub>2</sub>O)を生成する薬液を含む研磨液を用いる。こめのような薬液には例え硫酸、フッ酸等がある。又タンゲステン酸化物層の除去は、CMP法以外にも、CDE(Chemical Dry Etching)やRIE(Reactive Ion Etching)のようなエッチングを用いることも可能である。また、1, 2, 第3実施形態と同様に希硫酸を用いて除去するようなウエットエッチングを用いることも可能である。

【0048】酸化物層38の除去後24時間以上放置すると、タンゲステン膜37上に再び十分な量の自然酸化膜が形成される。そのため酸化物層38除去後数時間以内に、図8(h)に示すように、水素のような非酸化性雰囲気中でシリコン基板30を約800°C程度に加熱し、シランとアンモニアガスを流して、タンゲステン膜37上にCVD法により膜厚250nm程度のシリコン窒化膜39を堆積する。シリコン窒化膜39の成膜温度はおよそ800°C程度であるが、タンゲステン膜37上のタンゲステン酸化物層が除去されているため針状結晶が成長することはない。

【0049】次いで、図8(i)に示すように、フォトリソグラフィ技術を用いて所望のゲート電極或いはゲート配線の形状にレジストパターン40を形成する。次いで、レジストパターン40をマスクとしてシリコン窒化膜39をRIE法を用いてパターニングする。次にレジストパターン40をアッシャーを用いて除去し、シリコン窒化膜39をマスクとしてタンゲステン膜37, WSi<sub>x</sub>N<sub>y</sub>膜36及び多結晶シリコン膜35をRIE法を用いてエッチングし、図9(j)に示すようなゲート電極あるいは配線を形成する。ここで、タンゲステン膜37の側面には自然酸化膜41が存在する。

【0050】次いで、図9(k)に示すように、希硫酸に浸すことによって自然酸化膜41を選択的に除去する。自然酸化膜の除去直後に、N<sub>2</sub>, H<sub>2</sub>, H<sub>2</sub>Oで、H<sub>2</sub>とH<sub>2</sub>Oとの分圧比を制御した雰囲気で800°C60分程度のアニールを行うことで多結晶シリコン膜35を選択的に酸化して、酸化シリコン42を形成する。この選択酸化工程は、タンゲステン膜37を酸化せず多結晶シリコン膜35のみ酸化することによって、ゲート端での電界集中やダメージを緩和して信頼性を向上させるためのものである。

【0051】次いで、フォトリソグラフィ技術を用いてPウェル領域31上にレジストパターンを形成し、レジストパターンをマスクとしてNウェル領域32に加速電圧20KeV, ドーズ量5×10<sup>-2</sup>cm<sup>-2</sup>程度でAsをイオン注入し、図9(l)に示すように、P<sup>-</sup>型拡散層43を形成する。Pウェル領域31のレジストパターンを酸素アッシャーを用いて除去した後、同様にNウェル

領域3 2にレジストパターンを形成し、レジストパターンをマスクとしてPウェル領域3 1に加速電圧20KeV, ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ 程度でBF<sub>2</sub>のイオン注入を行い、N<sup>-</sup>型領域4 4を形成する。そして、Nウェル領域3 2上のレジストパターンを酸素アッシャーを用いて除去する。酸素アッシャーによるレジストの除去の際、タングステン膜の側面にタングステン酸化物層が形成されるので、希硫酸に浸すことによって、タングステン酸化物層を選択的に除去する。

【0052】次いで、水素のような非酸化性雰囲気中でシリコン基板を800°Cに加熱し、シランとアンモニアガスを流して、膜厚6nm程度のシリコン窒化膜をシリコン基板の全面にCVD法により堆積した後、RIE法を用いてエッチングを行うことで、図10(m)に示すようにゲート側壁にシリコン窒化膜4 5が形成された構造を得る。次いで、図10(n)に示すように、フォトリソグラフィ技術を用いてPウェル領域3 1上にレジストパターンを形成し、レジストパターンをマスクとして、Nウェル領域3 2に加速電圧60KeV, ドーズ量 $7 \times 10^{16} \text{ cm}^{-2}$ 程度でAsのイオン注入を行い、P<sup>+</sup>型領域4 6を形成する。同様にNウェル領域3 2にレジストパターンを形成し、レジストパターンをマスクとしてPウェル領域3 1にBF<sub>2</sub> 60KeV,  $6 \times 10^{16} \text{ cm}^{-2}$ 程度のイオン注入を行い、N<sup>+</sup>型領域4 7を形成する。そして、最後に、アニールすることによって、P<sup>-</sup>型領域4 3, N<sup>-</sup>型領域4 4, P<sup>+</sup>型領域4 6及びN<sup>+</sup>型領域4 7を活性化させる。

【0053】その後、通常の方法により層間絶縁膜及び配線を形成し、CMOSFETが形成される。以上説明したように、高温熱処理中に針状生成物が発生することがなく、ゲート電極が加工当初の形態を保つので、高信頼性の低抵抗ゲート電極を有するCMOSFETを得ることができる。

【0054】なお、本発明は、上記実施形態に限定されるものではない。例えば、高融点金属は、タングステン以外にも、モリブデン(Mo)、チタン(Ti)、白金(Pt)もしくはそれら金属の合金を用いることができる。また酸化物以下にも、それらの金属の炭化物或いはホウ化物に対しても除去することができる。

【0055】また、ゲート電極以外の金属配線層に対しても用いることができる。また、高融点金属膜上の成膜としてCVD法によるシリコン窒化膜を例に挙げたが、シリコン膜、窒化チタン膜或いはタングステン膜を成膜しても良い。その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

#### 【0056】

【発明の効果】以上説明したように本発明によれば、高融点金属膜の表面に形成されている酸化膜を予め除去した後に、加熱することによって表面モフォロジの悪化等が起こらず、信頼性の高い半導体装置を提供することが

できる。

#### 【図面の簡単な説明】

【図1】第1実施形態に係わるエッチングの効果を説明する特性図。

【図2】第2実施形態に係わる製造工程を示す工程断面図。

【図3】第3実施形態に係わるMOSトランジスタの製造工程を示す工程断面図。

【図4】第3実施形態に係わるMOSトランジスタの製造工程を示す工程断面図。

【図5】第3実施形態に係わるMOSトランジスタの製造工程を示す工程断面図。

【図6】第4実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図7】第4実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図8】第4実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図9】第4実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図10】第4実施形態に係わるCMOSFETの製造工程を示す工程断面図。

#### 【符号の説明】

1 1…単結晶シリコン基板

1 2…酸化膜

1 3…窒化タンクステン膜

1 4…タンクステン膜(高融点金属膜)

1 5…タンクステン酸化物層

1 6…シリコン窒化膜

1 7…N<sup>-</sup>型拡散層

1 8…タンクステン酸化物層

2 0…シリコン窒化膜

2 1…N<sup>+</sup>型拡散層

2 2…シリコン窒化膜

2 3…コンタクトホール

2 4…タンクステン酸化物層

2 5…ポリシリコン膜

3 0…シリコン基板

3 1…Pウェル領域

3 2…Nウェル領域

3 3…酸化膜

3 4…ゲート酸化膜

3 5…多結晶シリコン膜

3 6…WSi<sub>x</sub>N<sub>y</sub>膜

3 7…タンクステン膜

3 8…タンクステン酸化物層

3 9…シリコン窒化膜

4 0…レジストパターン

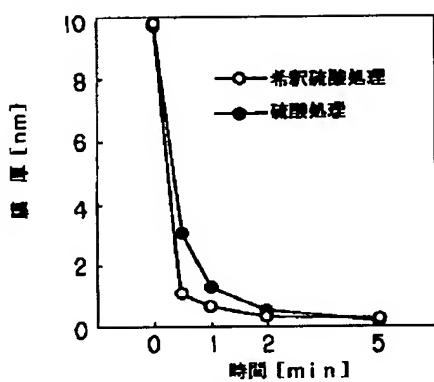
4 1…タンクステン酸化物層

4 2…酸化シリコン

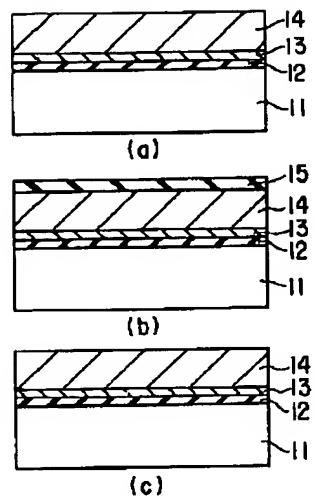
4 3…P- 型領域  
4 4…N- 型領域  
4 5…シリコン窒化膜

4 6…P+ 型領域  
4 7…N+ 型領域

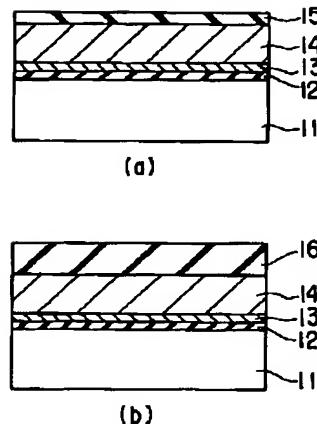
【図1】



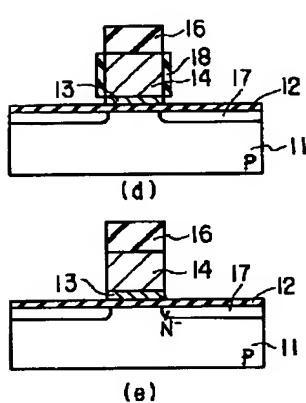
【図2】



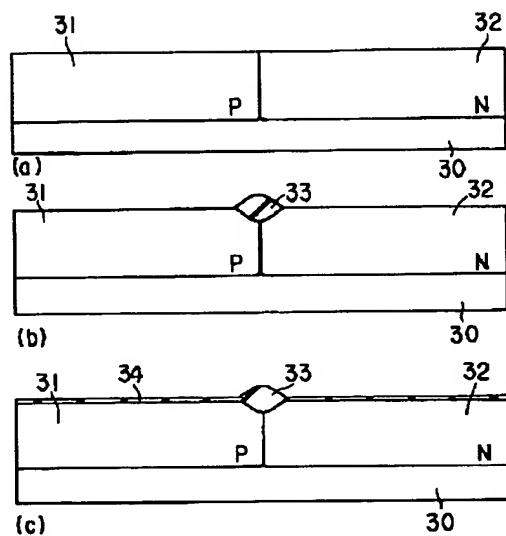
【図3】



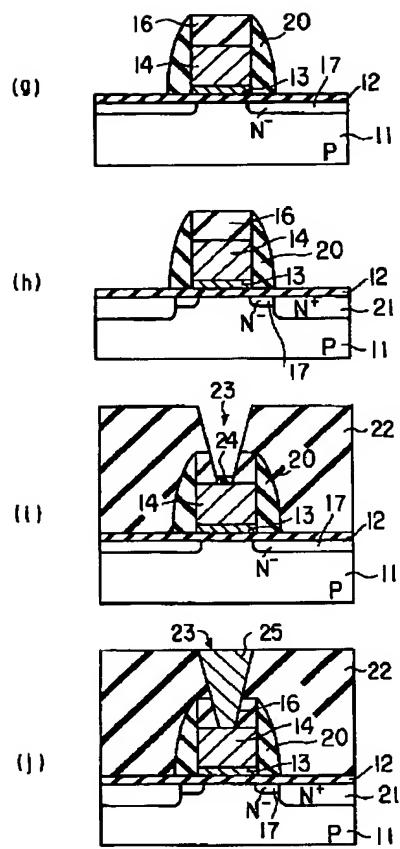
【図4】



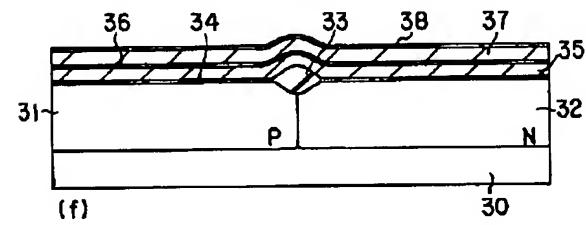
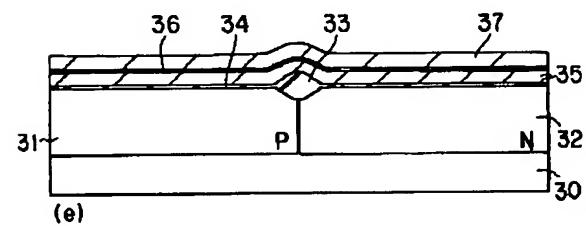
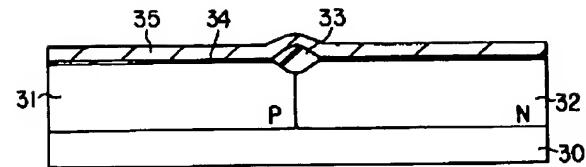
【図6】



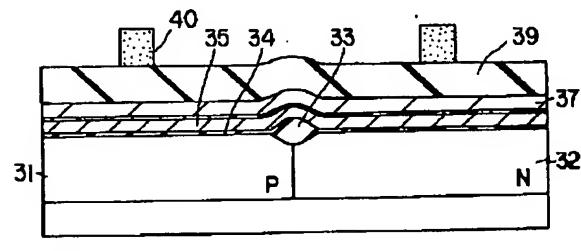
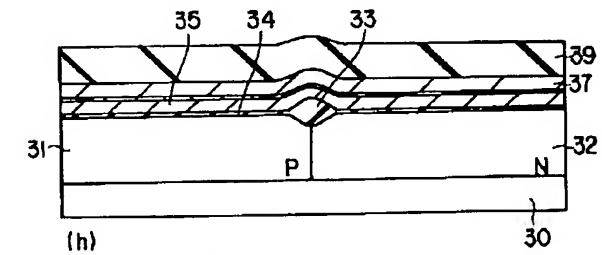
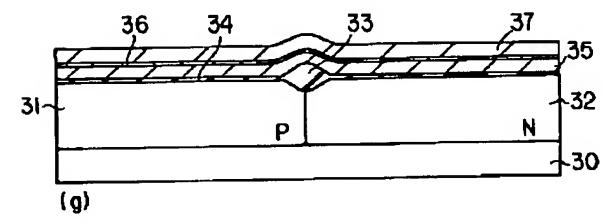
【図5】



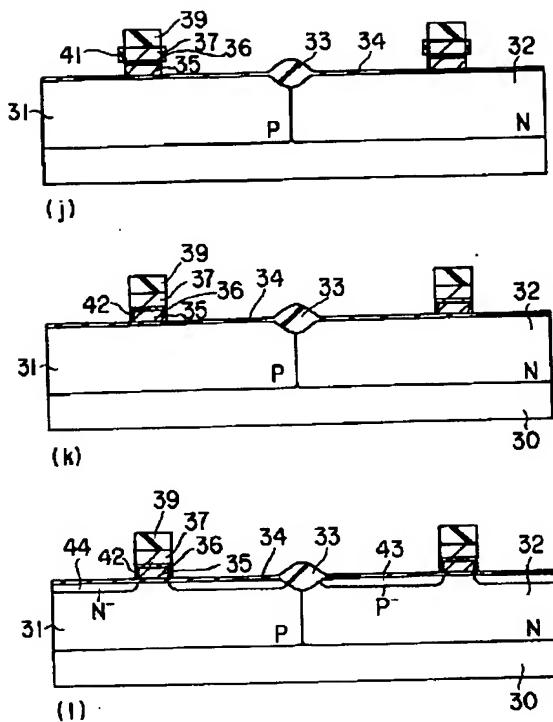
【図7】



【図8】



【図9】



【図10】

